

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroyuki KANAYA, et al.

SERIAL NO: 10/827,331

FILED: April 20, 2004

FOR: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

GAU:

EXAMINER:

AUG 30 2004

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
JAPAN

APPLICATION NUMBER
2003-144869

MONTH/DAY/YEAR
May 22, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0281505
101827,331

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 2 2 日
Date of Application:

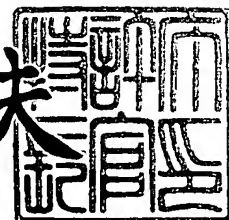
出 願 番 号 特 願 2 0 0 3 - 1 4 4 8 6 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 4 4 8 6 9]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 4 年 4 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



CERTIFIED COPY OF
SECURITY DOCUMENT

BEST AVAILABLE COPY

出証番号 出証特 2 0 0 4 - 3 0 3 3 4 4 8

【書類名】 特許願

【整理番号】 A000206104

【提出日】 平成15年 5月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置とその製造方法

【請求項の数】 15

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 金谷 宏行

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 國島 巖

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板に形成されたスイッチング素子と、

前記スイッチング素子の一方の端子に接続された第 1 配線を有し、前記半導体基板上に形成された第 1 配線層と、

前記第 1 配線層の上に形成され、前記第 1 配線を介してスイッチング素子の一方の端子に接続された第 1 電極を有する強誘電体キャパシタと、

前記強誘電体キャパシタ及び前記第 1 配線層の上に形成された第 1 の保護膜と、

前記強誘電体キャパシタの第 2 電極に接続された第 2 配線と、前記第 1 の保護膜の上に形成され誘電率が 4 以上の層間絶縁膜とを有する第 2 配線層と、

前記第 2 配線層の上部に少なくとも一層が形成され、前記第 2 配線に接続された第 3 配線と、誘電率が 4 未満の層間絶縁膜とを有する第 3 配線層と、

を具備することを特徴とする半導体装置。

【請求項 2】 半導体基板に形成されたスイッチング素子と、

前記スイッチング素子の一方の端子に接続された第 1 配線を有し、前記半導体基板上に形成された第 1 配線層と、

前記第 1 配線層の上に形成され、第 1 電極と、第 2 電極とを有する強誘電体キャパシタと、

前記強誘電体キャパシタ及び前記第 1 配線層の上に形成された第 1 の保護膜と、

前記第 1 配線に接続された第 1 ビアプラグと前記強誘電体キャパシタの第 1 電極に接続された第 2 ビアプラグとを有する第 2 配線と、前記強誘電体キャパシタの第 2 電極に接続された第 3 ビアプラグを有する第 3 配線と、前記第 1 の保護膜の上に形成され誘電率が 4 以上の層間絶縁膜とを有する第 2 配線層と、

前記第 2 配線層の上部に少なくとも一層が形成され、前記第 3 配線に接続された第 4 配線と、誘電率が 4 未満の層間絶縁膜とを有する第 3 配線層と、

を具備することを特徴とする半導体装置。

【請求項 3】 前記第 1 の保護膜は、 AlxOy 、 ZrxOy 、 AlxSiyOz 、 SixNy 、 TixOy の少なくとも一つを含んで形成されることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記第 1 の保護膜と前記第 2 配線層との間に形成され、前記第 1 の保護膜と誘電率が 4 以上の絶縁膜を介して形成された第 2 の保護膜をさらに具備することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 5】 前記第 2 の保護膜は、 AlxOy 、 ZrxOy 、 AlxSiyOz 、 SixNy 、 TixOy の少なくとも一つを含んで形成されることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記第 3 配線層は、前記誘電率が 4 未満の層間絶縁膜の上に形成された誘電率が 4 以上の絶縁膜を有することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 7】 前記強誘電体キャパシタは前記第 1、第 2 電極間に形成された強誘電体膜を含み、

前記第 1 配線は前記スイッチング素子の一方の端子と前記強誘電体キャパシタの第 1 電極との間を接続するように前記第 1 配線層中に形成されたコンタクトプラグを含み、

前記第 2 配線は、前記強誘電体キャパシタの第 2 電極と前記第 2 配線との間を接続するように前記第 2 配線層中に形成されたビアプラグを含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】 前記第 2 配線は、前記ビアプラグとともにこのビアプラグの上部にデュアルダマシン法により形成された配線部をさらに具備することを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記第 2 配線は、Cu 系の材料により構成されることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記誘電率が 4 以上の層間絶縁膜は、プラズマ SiO_2 からなることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 11】 前記誘電率が 4 未満の層間絶縁膜は、 SixOyCz からなることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 1 2】 前記誘電率が 4 未満の層間絶縁膜は、CyHy構造を含む有機材料からなることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 1 3】 半導体基板にスイッチング素子を形成し、
前記半導体基板上に前記スイッチング素子の一方の端子に接続された第 1 配線を有する第 1 配線層を形成し、

前記第 1 配線層の上に、前記第 1 配線を介してスイッチング素子の一方の端子に接続された第 1 電極を有する強誘電体キャパシタを形成し、

前記強誘電体キャパシタ及び前記第 1 配線層の上に第 1 の保護膜を形成し、
前記第 1 の保護膜の上に、前記強誘電体キャパシタの第 2 電極に接続された第 2 配線と、誘電率が 4 以上の層間絶縁膜とを有する第 2 配線層を形成し、

前記第 2 配線層の上に、前記第 2 配線に接続された第 3 配線と、誘電率が 4 未満の層間絶縁膜とを有する第 3 配線層を形成する、

ことを特徴とする半導体装置の製造方法。

【請求項 1 4】 前記誘電率が 4 以上の層間絶縁膜としてプラズマ SiO₂ 膜を形成することを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】 前記第 2 配線は、前記第 2 電極に接続されたビアプラグとともにこのビアプラグの上部にデュアルダマシン法により配線部を形成することを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、特に強誘電体キャパシタを記憶素子として備えた強誘電体メモリを有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】

不揮発性メモリとして、強誘電体キャパシタを記憶素子として用いた FeRAM (Ferroelectric Random Access Memory) が広く用いられている。FeRAM を多層配線で製造する場合、強誘電体キャパシタを形成した後の多層配線の製造工程における強誘電体キャパシタへのダメージを抑制することが重要とされる。

また、近年の L S I の高集積化、高性能化に伴い多層配線の配線容量の低減が必要とされる。

【0003】

一方、多層配線を埋める層間絶縁膜として誘電率の低い膜（以後、low-k 膜という）を用いることで、多層金属配線の配線容量の低減が可能となることが期待されている。

【0004】

また、層間絶縁膜に low-k 膜を用いて強誘電体メモリを含む半導体装置を製造することが提案されている（例えば特許文献 1）。

【0005】

【特許文献 1】

特開 2001-244426 号公報

【0006】

【発明が解決しようとする課題】

ところが、本発明者等の実験によると、強誘電体キャパシタを含む層間絶縁膜に low-k 膜を用いた場合、強誘電体キャパシタの特性向上の為に行う製造工程の酸素アニール等の影響により、low-k 膜に膜剥がれが生じてしまうという問題があることが分かった。膜剥がれが生じると、FeRAM として正常な動作ができなくなり、製造歩留まりが大きく低下し、製造コスト上昇の原因になる。

【0007】

本発明は、上記のような事情に鑑みてなされたもので、FeRAM に用いられる強誘電体キャパシタへの多層製造工程によるダメージを低減でき、強誘電体キャパシタの分極量の向上を可能とし、さらに層間絶縁膜の膜剥がれ等を防止することができる半導体装置とその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するために本発明の半導体装置は、半導体基板に形成されたスイッチング素子と、前記スイッチング素子の一方の端子に接続された第 1 配線を

有し、前記半導体基板上に形成された第1配線層と、前記第1配線層の上に形成され、前記第1配線を介してスイッチング素子の一方の端子に接続された第1電極を有する強誘電体キャパシタと、前記強誘電体キャパシタ及び前記第1配線層の上に形成された第1の保護膜と、前記強誘電体キャパシタの第2電極に接続された第2配線と、前記第1の保護膜の上に形成され誘電率が4以上の層間絶縁膜とを有する第2配線層と前記第2配線層の上部に少なくとも一層が形成され、前記第2配線に接続された第3配線と、誘電率が4未満の層間絶縁膜とを有する第3配線層とを具備することを特徴とする。

【0009】

又、本発明の半導体装置の製造方法は、半導体基板にスイッチング素子を形成し、前記半導体基板上に前記スイッチング素子の一方の端子に接続された第1配線を有する第1配線層を形成し、前記第1配線層の上に、前記第1配線を介してスイッチング素子の一方の端子に接続された第1電極を有する強誘電体キャパシタを形成し、前記強誘電体キャパシタ及び前記第1配線層の上に第1の保護膜を形成し、前記第1の保護膜の上に、前記強誘電体キャパシタの第2電極に接続された第2配線と、誘電率が4以上の層間絶縁膜とを有する第2配線層を形成し、前記第2配線層の上に、前記第2配線に接続された第3配線と、誘電率が4未満の層間絶縁膜とを有する第3配線層を形成することを特徴とする。

【0010】

このように構成することにより、FeRAMに用いられる強誘電体キャパシタへの多層製造工程によるダメージを低減でき、強誘電体キャパシタの分極量の向上を可能とし、さらに層間絶縁膜の膜剥がれ等を防止することができる半導体装置とその製造方法を提供することができる。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0012】

(第1の実施形態)

図1は、本発明の第1の実施形態におけるFeRAMの1つのメモリセル構造

を示す断面図である。

半導体基板 1 (例えば、Si 基板) 上には、素子領域 2 が形成される。素子領域 2 には、ゲート絶縁膜 3 a を介して形成したゲート電極 3 b 及びソース／ドレイン領域 (S/D) からなるスイッチングトランジスタ T_r が形成される。このスイッチングトランジスタ T_r は、層間絶縁膜 4 により被覆される。この層間絶縁膜 4 は、例えば SiO_2 により構成される。スイッチングトランジスタ T_r の一方の端子、即ち一方のソース／ドレイン領域 (S/D) 上には層間絶縁膜 4 を貫通してコンタクトプラグ 5 が形成される。このコンタクトプラグ 5 の上端は層間絶縁膜 4 上に形成された強誘電体キャパシタ 6 の下側電極 6 b に接続される。

【0013】

FeRAMセルを構成する強誘電体キャパシタ 6 は、図示したように COP (Capacitor On Plug) 構造により構成される。しかし、これに限定されるものではなく、例えば図 13 で示したように下部電極 6 b をオフセット構造とし、その電極引き出しを上部電極 6 a と同じ方向に形成してもよい。この説明は後で詳細に行う。

【0014】

図 1 において、強誘電体キャパシタ 6 は、上部電極 6 a と、下部電極 6 b と、強誘電体膜 6 c とから構成される。上部電極 6 a は、例えば $Pt/SrRuO_3$ の積層構造電極から構成される。強誘電体膜 6 c は、例えば $PbZr_xTi_{1-x}O_3$ (以下、PZT) から構成される。下部電極 6 b は、例えば $SrRuO_3/Ir/IrO_x/Ti$ の積層構造電極から構成される。そして、強誘電体キャパシタ 6 の下部電極 6 b は、COP 構造を形成するようにコンタクトプラグ 5 を介してソース／ドレイン領域 (S/D) に接続される。

【0015】

強誘電体キャパシタ 6 の表面及び層間絶縁膜 4 の表面には、以降の多層配線層の製造工程による強誘電体キャパシタ 6 のダメージを防ぐ為に、保護膜 7 が形成される。この保護膜 7 は、例えば厚さ 70 [nm] の酸化アルミニウムにより構成される。

【0016】

保護膜 7 の上には、第 1 金属配線層が形成される。なお、本発明における配線層とは、層間絶縁膜と、この層間絶縁膜の上に形成された配線とを含むものである。保護膜 7 の上には、プラズマ SiO_2 (P-SiO_2) 層間絶縁膜 8 が形成される。この P-SiO_2 層間絶縁膜 8 は、例えば誘電率 4.1 の TEOS ($\text{Tetra-Ethyl Orso Silicate}$) により構成される。

【0017】

P-SiO_2 層間絶縁膜 8 には、強誘電体キャパシタ 6 の上部電極 6a に至るビア穴が開口される。このビア穴の内壁面には、必要に応じて TiN からなるバリアメタル (例えば、厚さ 50 [nm]) が形成され (図示せず)、このバリアメタルの表面に更にライナー膜が形成される (図示せず)。そして、上記ビア穴に Al ビアプラグ 9 が埋め込まれる。 P-SiO_2 層間絶縁膜 8 の上には、 Al ビアプラグ 9 と接続するように Al 配線 10 が形成される。

【0018】

Al 配線 10 の上には、第 2 金属配線層が形成される。すなわち、 Al 配線 10 の上には、 low-k 層間絶縁膜 11 が形成される。 low-k とは、誘電率の低い膜のことをいい、例えば誘電率が 4 未満の材料からなる膜である。この low-k 層間絶縁膜 11 は、例えば誘電率 2.7 の SiO_xC_y により構成される。また、 low-k 材料として有機系膜、例えば C_xH_y の構造を含むものを用いてもよい。

【0019】

low-k 層間絶縁膜 11 には、ビアプラグ 12 が埋め込まれ、このビアプラグ 12 は、 Al 配線 10 に接続される。ビアプラグ 12 は、例えばタングステン (W) により構成される。 low-k 層間絶縁膜 11 の上には、ビアプラグ 12 と接続するように Al 配線 13 が形成される。

【0020】

Al 配線 13 の上には、第 3 金属配線層が形成される。すなわち、 Al 配線 13 の上には、 low-k 層間絶縁膜 14 が形成される。この low-k 層間絶縁膜 14 は、上記同様例えば誘電率 2.7 の SiO_xC_y により構成される。

【0021】

low-k 層間絶縁膜 14 には、例えば W により構成されるビアプラグ 15 が埋め込まれ、このビアプラグ 15 は、Al 配線 13 に接続される。ビアプラグ 15 は、例えば W により構成される。low-k 層間絶縁膜 14 の上には、ビアプラグ 15 と接続するように Al 配線 16 が形成される。

【0022】

Al 配線 16 の上には、low-k 層間絶縁膜 17 が形成される。この low-k 層間絶縁膜 17 は、上記同様例えば誘電率 2.7 の SiO_xC_y により構成される。

【0023】

low-k 層間絶縁膜 17 には、例えば W により構成されるビアプラグ 18 が埋め込まれ、このビアプラグ 18 は、Al 配線 16 に接続される。ビアプラグ 18 は、例えば W により構成される。

【0024】

low-k 層間絶縁膜 17 の上には、ビアプラグ 18 と接続するように例えば Al からなる電極パッド 19 が形成される。

【0025】

電極パッド 19 及び low-k 層間絶縁膜 17 の上には、パッシベーション膜 20 が堆積される。このパッシベーション膜 20 は、例えば SiO_xH_y により構成される。そして、このパッシベーション膜 20 に、電極パッド 19 用のコンタクト穴が開口される。

【0026】

次に、図 1 に示したメモリセル構造を有する FeRAM の製造プロセスを図 2、図 3、図 4、図 5 を参照して説明する。

【0027】

図 2 において、半導体基板 1（例えば、Si 基板）上には、素子領域 2 が形成される。素子領域 2 には、スイッチングトランジスタ Tr が形成される。すなわち、素子領域 2 には、ゲート絶縁膜 3a を介して例えばポリシリコンからなるゲート電極 3b が形成される。ゲート電極 3b の両側には、ソース／ドレイン領域 (S/D) が形成される。これら領域 S/D は、素子領域 2 内に例えば不純物イ

オンを注入することにより形成される。

【0028】

このスイッチングトランジスタ T_r は、層間絶縁膜 4 により被覆される。層間絶縁膜 4 の表面が例えば CMP (Chemical Mechanical Polishing) により平坦化される前にスイッチングトランジスタ T_r の一方の端子である領域 S/D に至るコンタクト穴が、例えばドライエッチング法により開口される。このコンタクト穴には、例えば W であるコンタクトプラグ 5 が埋め込まれ、このコンタクトプラグ 5 は領域 S/D に接続された状態となる。この状態で層間絶縁膜 4 の表面はコンタクトプラグ 5 とともに CMP により平坦化される。

【0029】

次いで、図 3 に示すように、層間絶縁膜 4 の上には、コンタクトプラグ 5 に接続するように前述した強誘電体キャパシタ 6 の下部電極 6 b となる導電材料が堆積され、さらに強誘電体膜 6 c となる強誘電体材料と上部電極 6 a となる導電材料が順次堆積される。そして、例えば RIE (Reactive Ion Etching) 法により、図 3 に示す形状を有する強誘電体キャパシタ 6 が形成される。

【0030】

強誘電体キャパシタ 6 及び層間絶縁膜 4 の表面には、後続の多層配線層の製造工程によるダメージを防ぐ為に、スパッタリングあるいは ALD (Atomic Layer Epitaxy) 法により、例えば厚さ 70 [nm] の酸化アルミニウムからなる保護膜 7 が形成される。

【0031】

次いで、図 4 に示すように、保護膜 7 の上には、プラズマ CVD 法により 380 ~ 400 °C で P-SiO₂ 層間絶縁膜 8 が形成される。P-SiO₂ 層間絶縁膜 8 の表面は CMP により平坦化され、その後この P-SiO₂ 層間絶縁膜 8 には、上部電極 6 a に至るビア穴 9 h を例えばドライエッチング法により開口する。例えば、CMP 処理後の P-SiO₂ 層間絶縁膜 8 の上に、レジスト膜を形成し、このレジスト膜を、フォトリソグラフィー法によりパターンニングする。そして、このパターンニングされたレジスト膜をエッチングマスクとして、図 4 に示す形状を有するビア穴 9 h が開口される。この時、上部電極 6 a には、必要に応じ

てビア孔の一部としてオーバーエッチングが生じるように開口される。

【0032】

この状態で、強誘電体キャパシタ 6 の加工、保護膜 7 の形成、 $P-SiO_2$ 層間絶縁膜 8 の形成、ビア孔 9 h の開口等による強誘電体キャパシタ 6 の強誘電体膜 6 c へのダメージを回復するため、 $600^{\circ}C$ 、1 時間の酸素アニールを行う。

【0033】

次いで、図 5 に示すように、上記ビア穴 9 h に必要に応じて TiN のバリアメタル（例えば、厚さ 50 [nm] ）を形成し（図示せず）、さらに必要ならばこのバリアメタルの表面にライナー膜を形成する（図示せず）。そして、上記ビア穴 9 h に、例えばリフロー法により Al ビアプラグ 9 を形成する。

【0034】

この後、 $P-SiO_2$ 層間絶縁膜 8 および Al ビアプラグ 9 の表面を CMP 法により平坦化し、 $P-SiO_2$ 層間絶縁膜 8 の上には、 Al ビアプラグ 9 と接続するように Al 配線 10 が形成される。この Al 配線 10 は、例えば $P-SiO_2$ 層間絶縁膜 8 上全面に形成した Al 膜を RIE 法によりパターンニングすることにより形成される。

【0035】

Al 配線 10 及び $P-SiO_2$ 層間絶縁膜 8 の表面には、プラズマ CVD 法により $350^{\circ}C$ で、例えば誘電率 2.7 の SiO_xCy を用いて low-k 層間絶縁膜 11 が形成される。次いで、CMP 法により平坦化した low-k 層間絶縁膜 11 に、 Al 配線 10 に至るビア穴 12 h を例えばドライエッチング法を用いて開口する。次いで、ビアプラグ材としてタンゲステン (W) を堆積し、ビアプラグ 12 が形成される。low-k 層間絶縁膜 11 及びビアプラグ 12 の表面は、CMP 法により平坦化される。

【0036】

第 2 層の Al 配線 13 と low-k 層間絶縁膜 14、及び第 3 層の Al 配線 16 と low-k 層間絶縁膜 17 とは、前述した第 1 層の Al 配線 10 と同様に形成される。このようにして、図 1 に示した構造を有する FeRAM が形成される。ここで、low-k 層間絶縁膜 14、low-k 層間絶縁膜 17 はいずれも誘

電率 2.7 の SiO_xC_y で形成してもよいし、あるいは有機系膜、例えば C_xH_y を用いて構成することもできる。

【0037】

このように構成された FeRAM は、半導体基板 1 とその上に形成された多層配線層の層間膜材料との熱膨張係数の相違によって起因すると想像される半導体基板 1 に生じるストレスが、すべての層間絶縁膜を誘電率が 4.1 の P-SiO_2 で生成した場合に比べて小さくなった。

【0038】

保護膜 7 の上に形成する層間絶縁膜に low-k 膜を用いた場合、上部電極 6a のコンタクト開口後に行う酸素アニールの際に、low-k 膜の膜剥がれがしばしば生じ、歩留まりを低下させた。本構造のように P-SiO_2 (誘電率 4 以上) を保護膜 7 の上に用いることにより、この膜剥がれの問題を抑制できた。

【0039】

また、low-k 層間絶縁膜 11, 14, 17 の形成温度 (例えば、350 ~ 380℃) が、 P-SiO_2 層間絶縁膜 8 の形成温度 (例えば、380 ~ 400℃) に比べて低いため、層間絶縁膜 11, 14, 17 の堆積中に材料ガスから発生する水素ラジカルによる強誘電体キャパシタ 6 へのダメージが小さくなる。

【0040】

さらに、上記のように生成された FeRAM は、強誘電体キャパシタ 6 の分極量が向上した。図 6 は、上記のように生成された FeRAM と同一の構成において、層間絶縁膜 11, 14, 17 をすべて同一の誘電率を持つ同一材料で形成した場合の、層間膜誘電率とキャパシタ分極量との関係を示す図である。この図より、層間絶縁膜 11, 14, 17 の誘電率が低いほど、強誘電体キャパシタ 6 のキャパシタ分極量が向上することが分かる。

【0041】

実測値で示すと、上記のように生成された図 1 に示す構成の FeRAM は、強誘電体キャパシタ 6 の分極量が 35 ~ 36 [$\mu\text{C}/\text{cm}^2$] であった。これに対して、すべての層間絶縁膜 11, 14, 17 を例えば誘電率が 4.1 の P-SiO_2 で生成した場合、強誘電体キャパシタの分極量は、30 ~ 33 [$\mu\text{C}/\text{cm}^2$]

2] であった。このように、図 1 の構成の強誘電体キャパシタ 6 の分極量が明らかに向上した。

【0042】

以上詳述したように第 1 の実施形態では、保護膜 7 に接する層間絶縁膜を P-SiO₂ 層間絶縁膜 8 で形成し、その上に形成する層間絶縁膜を low-k 層間絶縁膜 11 で形成している。

【0043】

したがって本実施形態によれば、半導体基板 1 に生じるストレスを低減することができる。また、強誘電体キャパシタ 6 の分極量を向上させることができる。さらに、保護膜 7 の上に low-k 層間絶縁膜を形成する場合に比べて、層間絶縁膜の膜剥がれを防止することができる。

【0044】

(第 2 の実施形態)

図 1 に示した実施形態は多層配線を Al 配線で形成した例として説明したが、以下に説明する第 2 の実施形態は、多層配線に Cu 配線を用いて FeRAM を構成するようにしたものである。

【0045】

図 7 は、本発明の第 2 の実施形態における FeRAM の構造を示す断面図である。同図において、図 1 と同一部分には同一の符号を付して説明は省略する。

【0046】

保護膜 7 の上には、第 1 金属配線層が形成される。すなわち、保護膜 7 の上には、プラズマ SiO₂ (P-SiO₂) 層間絶縁膜 8 が形成される。この P-SiO₂ 層間絶縁膜 8 は、例えば誘電率 4.1 の TEOS (Tetra-Ethyl Orso Silicate) により構成される。

【0047】

P-SiO₂ 層間絶縁膜 8 には、強誘電体キャパシタ 6 の上部電極 6a に至るビア穴 22a、および配線溝 23a が開口される。このビア穴 22a、配線溝 23a には、TiN からなるバリアメタル 21 (例えば、厚さ 100 [nm]) が形成され、このバリアメタル 21 の表面に必要な応じてライナー膜が形成される

(図示せず)。そして、上記ビア穴 22a に Cu ビアプラグ 22 が形成され、配線溝 23a には Cu 配線 23 が形成される。なお、強誘電体キャパシタ 6 の上部電極 6a の表面にオーバエッチングにより形成された溝にも、同時に Cu の埋め込みが行われる。この場合、Cu 堆積による強誘電体キャパシタ 6 へのダメージを抑制するために、上部電極 6a を例えば、 $\text{IrO}_x/\text{SrRuO}_3$ 、 SrRuO_3 、又は $\text{Sr}(\text{Ru}(1-x)\text{Ti}(x))$ により構成すると良い。

【0048】

このように、P-SiO₂ 層間絶縁膜 8 には、Cu ビアプラグ 22 と接続するように Cu 配線 23 が形成される。

【0049】

Cu 配線 23 の上には、第 2 金属配線層が形成される。すなわち、Cu 配線 23 の上には、low-k 層間絶縁膜 11 が形成される。low-k 層間絶縁膜 11 には、Cu ビアプラグ 24 が形成され、この Cu ビアプラグ 24 は、Cu 配線 23 に接続される。さらに、low-k 層間絶縁膜 11 には、Cu ビアプラグ 24 と接続するように Cu 配線 25 が形成される。

【0050】

Cu 配線 25 の上には、第 3 金属配線層が形成される。すなわち、Cu 配線 25 の上には、low-k 層間絶縁膜 14 が形成される。low-k 層間絶縁膜 14 には、Cu ビアプラグ 26 が形成され、この Cu ビアプラグ 26 は、Cu 配線 25 に接続される。さらに、low-k 層間絶縁膜 11 には、Cu ビアプラグ 26 と接続するように Cu 配線 27 が形成される。

【0051】

Cu 配線 27 の上には、low-k 層間絶縁膜 17 が形成される。low-k 層間絶縁膜 17 には、Cu 配線 27 に接続された Cu ビアプラグ 28 が形成される。この Cu ビアプラグ 28 は low-k 層間絶縁膜 17 の表面に形成された電極パッド 19 に接続され、全体がパッシベーション膜 20 でカバーされる。

【0052】

次に、図 7 に示した構造を有する FeRAM の製造プロセスを図 8、図 9 を参照して説明する。なお、保護膜 7 が形成されるまでの製造プロセスは、上記第 1

の実施形態と同様であるため、図及び説明は省略する。

【0053】

図8に示すように、保護膜7の上には、プラズマCVD法により380～400℃でP-SiO₂層間絶縁膜8が形成される。P-SiO₂層間絶縁膜8には、上部電極6aに至るビア穴22aと、Cu配線23を形成するための配線溝23aとを例えばデュアルダマシン法により開口する。この際、ビア穴22a形成時のオーバエッチングにより強誘電体キャパシタ6の上部電極6aの表面には若干の溝が形成される。次いで、強誘電体キャパシタ6の形成、保護膜7の形成、P-SiO₂層間絶縁膜8の形成、デュアルダマシン法等による強誘電体キャパシタ6へのダメージを回復するため、600℃、1時間の酸素アニールを行う。

【0054】

次いで、図9に示すように、上記ビア穴22a及び配線溝23aにTiNのバリアメタル21（例えば、厚さ100[nm]）を形成し、このバリアメタル21の表面に必要な応じてライナー膜を形成する（図示せず）。次いで、上記ビア穴22aおよび配線溝23aに一度にCuを埋め込み、Cuビアプラグ22およびCu配線23を形成する。この際、強誘電体キャパシタ6の上部電極6aにも、Cuが埋め込まれる。この結果、Cuビアプラグ6およびCu配線23が形成される。その後、P-SiO₂層間絶縁膜8及びCu配線23の表面は、CMPにより平坦化される。

【0055】

次いで、P-SiO₂層間絶縁膜8及びCu配線23の上には、プラズマCVD法により350℃で、例えば誘電率2.7のSiO_xCyを用いてlow-k層間絶縁膜11が形成される。次いで、low-k層間絶縁膜11に、Cu配線23に至るビア穴24a、Cu配線25を形成するための配線溝25aとを例えばデュアルダマシン法により開口する。次いで、例えばビア穴24aと配線溝25aとの開口処理時におけるlow-k層間絶縁膜11のダメージを回復するために、380℃、30分間の酸素アニールを行う。次いで、上記ビア穴24a、配線溝25aにCuを埋め込み、Cuビアプラグ24、およびCu配線25を形成する。その後、low-k層間絶縁膜11及びCu配線25の表面は、CMP

により平坦化される。

【0056】

第3層のCuビアプラグ26、Cu配線27についても、同様にデュアルダマシン法により形成する。また、第3層のCu配線27とCuビアプラグ26とは、前述した第2層のCu配線25と同様に形成される。このようにして、図7に示した構造を有するFeRAMが形成される。

【0057】

以上詳述したように第2の実施形態によれば、上記第1の実施形態と同様の効果を得ることができる。さらに、バリアメタル21の膜厚を100[nm]にすることにより、絶縁膜8の堆積中に材料ガスから発生する水素ラジカル等をブロックすることができ、強誘電体キャパシタ6へのダメージをさらに低減することができる。

【0058】

また、強誘電体キャパシタ6の上部電極6aを、 $\text{IrO}_x/\text{SrRuO}_3$ 、 SrRuO_3 、又は $\text{Sr}(\text{Ru}(1-x)\text{Ti}(x))$ により構成することで、Cu堆積時の強誘電体キャパシタ6へのダメージを抑制することが可能となる。

【0059】

(第3の実施形態)

図7の実施形態では密度の低いlow-k層間絶縁膜11、14、17を順次積層しているため、パッシベーション膜20のみでは後工程での水素の侵入を考慮しなければならない。また、密度の低いlow-k層間絶縁膜11、14、17内にCu配線23、25、27を堆積した後でCMPを行っているため、平坦化に支障が出る可能性がある。図10に示す第3の実施形態はこの点を改善するもので、low-k層間絶縁膜の上に、low-k膜に比べて膜密度が高いP-SiO₂膜を形成してFeRAMを構成するようにしたものである。

【0060】

図10は、本発明の第3の実施形態におけるFeRAMの構造を示す断面図である。同図において、図1及び図7と同一部分には同一の符号を付して説明は省略する。

【0061】

low-k 層間絶縁膜 11 の上には、誘電率が 4.1 の P-SiO₂ 膜 30 が形成される。この P-SiO₂ 膜 30 は、例えば厚さ 100 [nm] の TEOS で構成される。また、P-SiO₂ 膜 30 は、プラズマ CVD 法により 380 ~ 400 °C で形成される。

【0062】

P-SiO₂ 膜 30 を形成した後に、デュアルダマシン法によりビアプラグ 24 および Cu 配線 25 を形成する。P-SiO₂ 膜 30 及び Cu 配線 25 の表面は、CMP により平坦化される。第 3 層の low-k 膜 14 上、および第 4 層の low-k 膜 17 上にも同様にして P-SiO₂ 膜 31, 32 が形成される。尚、第 3 層のビアプラグ 26、Cu 配線 27、及び第 4 層のビアプラグ 28、電極パッド 33 についてもデュアルダマシン法により形成される。

【0063】

このように形成された P-SiO₂ 膜 30、31、32 はいずれも、low-k 膜 11、14、17 に比べて膜密度が高いため、水素あるいは水の拡散を抑制することができる。よって、強誘電体キャパシタ 6 への水素ラジカル、パッシベーション膜 20 からの水素、水素シンター処理時の水素、パッケージの際のモールド材からの水素等の侵入を抑制することができる。

【0064】

また、Cu 配線 25、27、33 と同じレベルに low-k 膜に比べて膜密度が高い P-SiO₂ 膜 30、31、32 を夫々用いることで、Cu 配線 25、27、33 の CMP 処理時における不良率を低下させることができる。

【0065】

以上詳述したように第 3 の実施形態によれば、膜密度の高い P-SiO₂ 膜 30、31、32 を low-k 層間絶縁膜 11、14、17 の上に挿入することで、水素あるいは水素ラジカル等をブロックすることができ、強誘電体キャパシタ 6 へのダメージをさらに低減することができる。また、Cu 配線 25、27、33 と同じレベルに膜密度が高い絶縁膜 30、31、32 を用いているため、Cu 配線 25、27、33 の CMP 処理時における不良率を低下させることができる。

【0066】

なお、本第3の実施形態では、3層のP-SiO₂膜30、31、32を挿入しているが、例えばパッシベーション膜20直下に少なくとも1層のP-SiO₂膜32のみを挿入するだけでも、FeRAMの水素劣化を抑制することができることは勿論である。

【0067】

また、挿入する絶縁膜はSiO₂膜に限定されず、絶縁体でかつ膜密度が高い材料であれば同様に適用可能である。

【0068】

(第4の実施形態)

第4の実施形態は、保護膜7の上に形成される第1層の層間絶縁膜を、P-SiO₂膜と、low-k膜と、P-SiO₂膜とにより形成するようにしたものである。

【0069】

図11は、本発明の第4の実施形態におけるFeRAMの構造を示す断面図である。同図において、図1、図7、図10と同一部分には同一の符号を付して説明は省略する。

【0070】

P-SiO₂層間絶縁膜8にはAlビアプラグ9が埋め込まれ、このAlビアプラグ9は強誘電体キャパシタ6の上部電極6aに接続される。P-SiO₂層間絶縁膜8及びAlビアプラグ9の表面には、low-k膜40が積層される。さらに、low-k膜40の表面には、P-SiO₂膜41が形成される。このP-SiO₂膜41は、例えば厚さ100[nm]のTEOSで構成される。

【0071】

P-SiO₂膜41及びlow-k膜40には、シングルダマシン法によりCu配線23が形成される。なお、Cu配線23は、Alビアプラグ9に接続するように形成される。P-SiO₂膜41及びCu配線23の表面は、CMPにより平坦化される。

【0072】

以上詳述したように第4の実施形態によれば、上記第3の実施形態に比べてP-SiO₂膜を一層多く備えることが可能なため、より多くの水素あるいは水素ラジカル等をブロックすることができる。これにより、強誘電体キャパシタ6へのダメージをさらに低減することができる。さらに、図10の実施の形態に比べて更にlow-k膜40を挿入することで、層間絶縁膜の全体に占めるlow-k膜の比率を増加することができ、半導体基板1に生じるストレスを低減することができる。また、low-k膜の比率を増加することで、強誘電体キャパシタ6の分極量を向上させることができる。

【0073】

(第5の実施形態)

第5の実施形態は、強誘電体キャパシタ6の上に形成する保護膜を2重に形成してFeRAMを構成するようにしたものである。

【0074】

図12は、本発明の第5の実施形態におけるFeRAMの構造を示す断面図である。同図において、図11と同一部分には同一の符号を付して説明は省略する。

【0075】

強誘電体キャパシタ6の表面及び絶縁膜4の表面には、多層の配線層の製造工程によるダメージを防ぐ為に、保護膜50が形成される。この保護膜50は、例えば厚さ50[nm]の酸化アルミニウムをスパッタリングあるいはALDにより形成する。

【0076】

保護膜50の上には、誘電率が4.1のP-SiO₂膜51（例えば、厚さ50[nm]）が形成される。このP-SiO₂膜51は、例えばTEOSにより構成される。P-SiO₂膜51の上には、保護膜52が形成される。保護膜52は、例えば厚さ50[nm]の酸化アルミニウムをスパッタリングあるいはALDにより形成する。

【0077】

以上詳述したように第5の実施形態によれば、 $P-SiO_2$ 膜30, 31, 32, 41を形成した上に、更に保護膜を2重に形成しているため、強誘電体キャパシタ6に侵入する水素あるいは水素ラジカル等をより効果的にブロックすることができる。これにより、強誘電体キャパシタ6へのダメージを低減することができる。

【0078】

なお、上記説明したように保護膜を2重に形成すれば、 $P-SiO_2$ 膜30, 31, 32, 41を挿入しない構成でも、十分に水素あるいは水素ラジカルをブロックすることが可能となる。

【0079】

(第6の実施形態)

第6の実施形態は、強誘電体キャパシタ6'の上部電極及び下部電極をオフセット構造とし、上部電極に加えて下部電極に接続されるビアプラグも下部電極の上側に形成してFeRAMを構成するようにしたものである。

【0080】

図13は、本発明の第6の実施形態におけるFeRAMの構造を示す断面図である。同図において、図1と同一部分には同一の符号を付して説明は省略する。

【0081】

強誘電体キャパシタ6'の下部電極6dは、下部電極6dに接続されるAlビアプラグ60を上側に形成できるように、上部電極6aに比べて幅が大きく、オフセット構造として形成される。

【0082】

$P-SiO_2$ 層間絶縁膜8にはAlビアプラグ60が埋め込まれ、このAlビアプラグ60は強誘電体キャパシタ6'の下部電極6dに接続される。このAlビアプラグ60は、上部電極6aに接続されるAlビアプラグ9と同様に形成される。

【0083】

また、 $P-SiO_2$ 層間絶縁膜8にはAlビアプラグ61が埋め込まれ、このAlビアプラグ61はコンタクトプラグ5に接続される。このAlビアプラグ6

1 は、例えば前述した Al ビアプラグ 9 と同様に形成される。

【0084】

P-SiO₂ 層間絶縁膜 8 の上には、Al ビアプラグ 9, 60, 61 と接続するように第 1 層の Al 配線 10 が形成される。この Al 配線 10 は、例えば RIE により P-SiO₂ 層間絶縁膜 8 の上に堆積された Al 膜をパターニングすることにより形成される。

【0085】

以上詳述したように第 6 の実施形態によれば、強誘電体キャパシタ 6' の上部電極 6a 及び下部電極 6d に接続されるビアプラグを上側に形成する場合でも、上記第 1 の実施形態と同様の効果を得ることができる。

【0086】

【発明の効果】

以上詳述したように本発明によれば、FeRAM に用いられる強誘電体キャパシタへの多層製造工程によるダメージを低減でき、強誘電体キャパシタの分極量の向上を可能とし、さらに層間絶縁膜の膜剥がれを防止することが可能な半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態における FeRAM の構造を示す断面図。

【図 2】

図 1 に示した構造を有する FeRAM の製造プロセスを説明するための断面図。

【図 3】

図 2 に続く製造プロセスを説明するための断面図。

【図 4】

図 3 に続く製造プロセスを説明するための断面図。

【図 5】

図 4 に続く製造プロセスを説明するための断面図。

【図 6】

層間絶縁膜をすべて同一の誘電率の誘電体材料で形成した場合の層間膜誘電率とキャパシタ分極量との関係を示す図。

【図 7】

本発明の第 2 の実施形態における F e R A M の構造を示す断面図。

【図 8】

図 7 に示した構造を有する F e R A M の製造プロセスを説明するための断面図。

【図 9】

図 8 に続く製造プロセスを説明するための断面図。

【図 10】

本発明の第 3 の実施形態における F e R A M の構造を示す断面図。

【図 11】

本発明の第 4 の実施形態における F e R A M の構造を示す断面図。

【図 12】

本発明の第 5 の実施形態における F e R A M の構造を示す断面図。

【図 13】

本発明の第 6 の実施形態における F e R A M の構造を示す断面図。

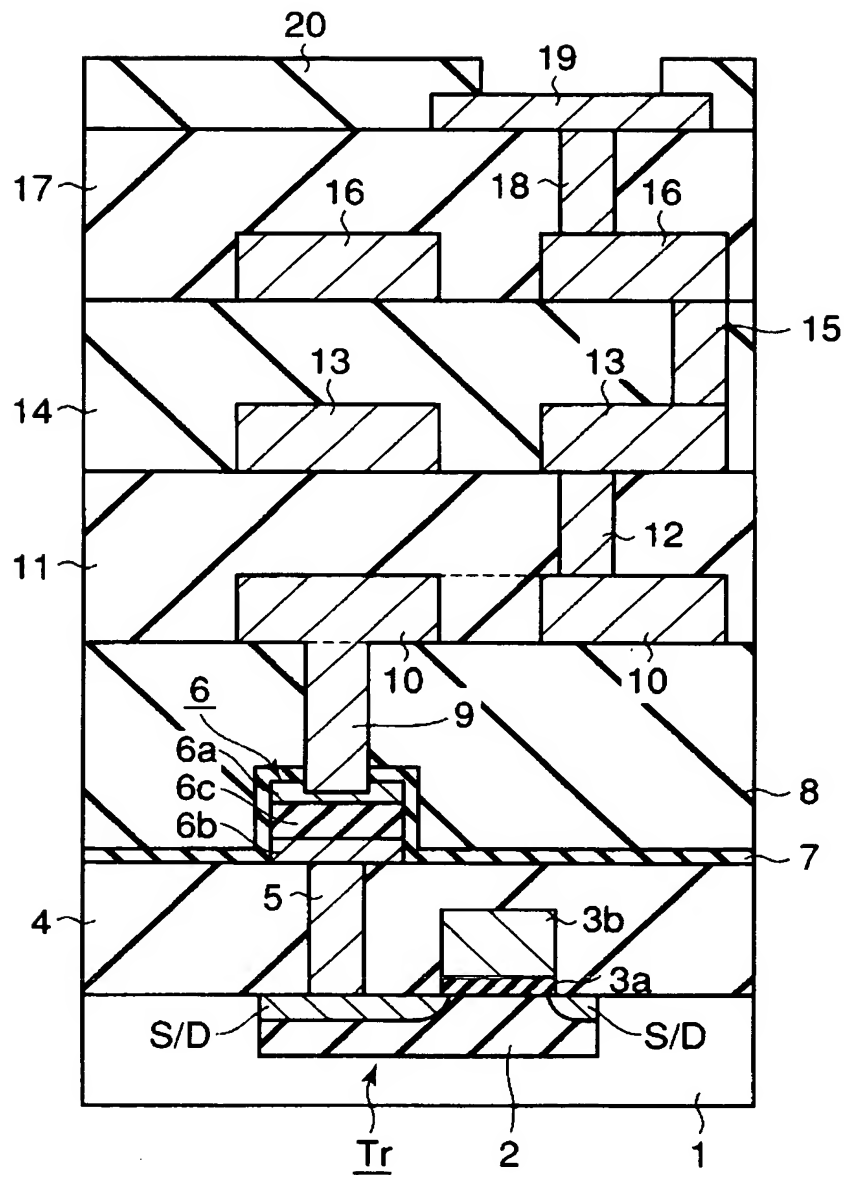
【符号の説明】

T r …スイッチングトランジスタ、1 …半導体基板、2 …素子領域、3 a …ゲート絶縁膜、3 b …ゲート電極、4 …層間絶縁膜、5 …コンタクトプラグ、6, 6' …強誘電体キャパシタ、6 a …上部電極、6 b, 6 d …下部電極、6 c …強誘電体膜、7, 50, 52 …保護膜、8 …P-S i O₂ 層間絶縁膜、9, 60, 61 …A l ビアプラグ、10, 13, 16 …A l 配線、11, 14, 17 …l o w - k 層間絶縁膜、12, 15, 18 …ビアプラグ、16 …A l 配線、19, 33 …電極パッド、20 …パッシベーション膜、21 …バリアメタル、22, 24, 26, 28 …C u ビアプラグ、23, 25, 27 …C u 配線、30, 31, 32, 41 …P-S i O₂ 膜、40 …l o w - k 膜、51 …P-S i O₂ 膜。

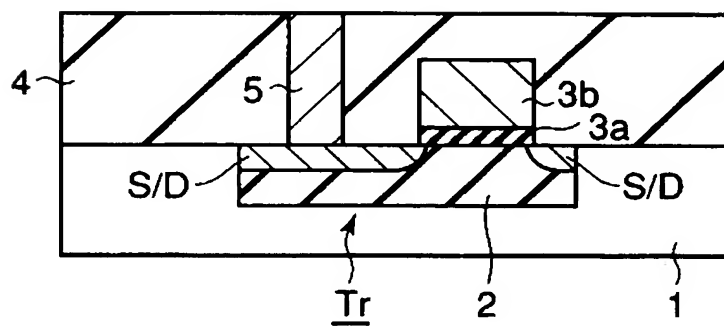
【書類名】

図面

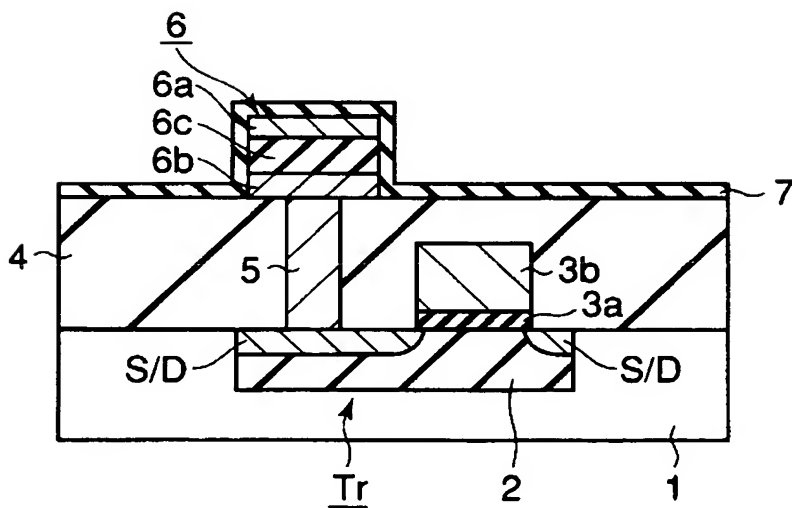
【図 1】



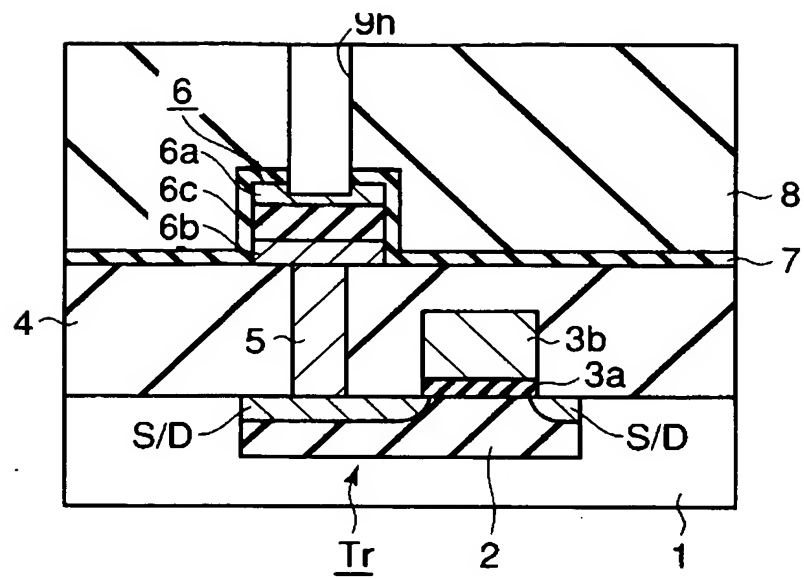
【図 2】



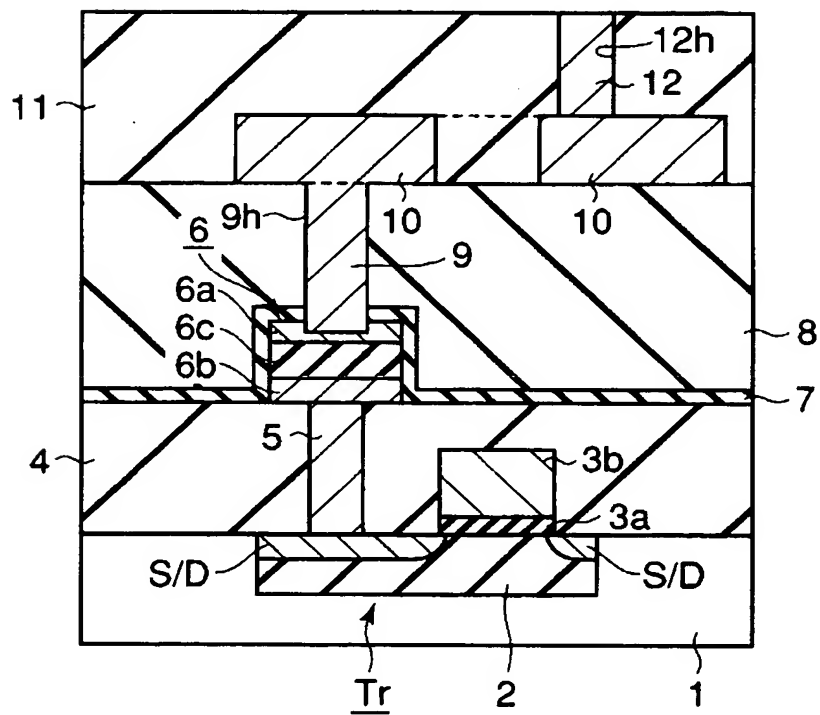
【図 3】



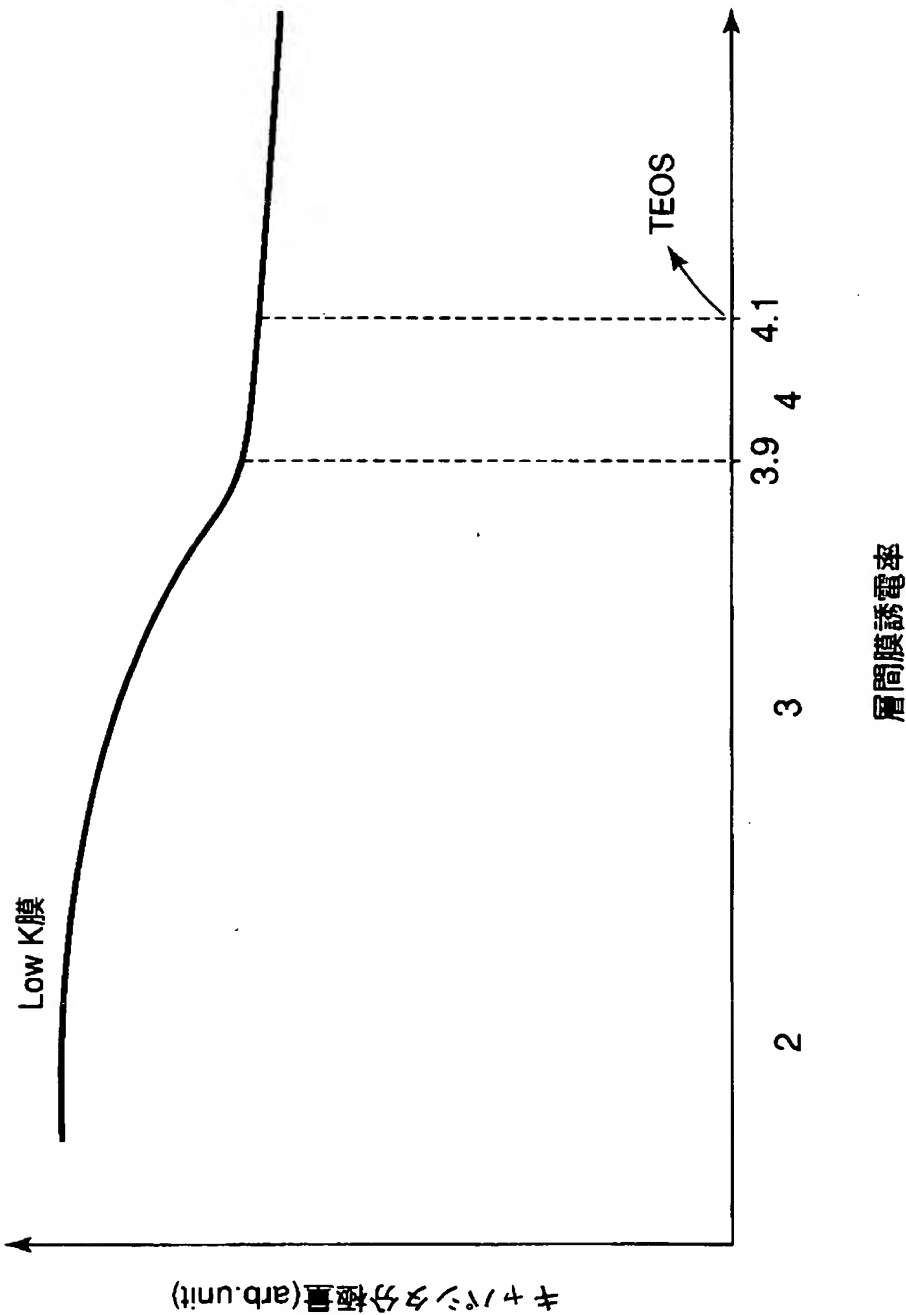
【図 4】



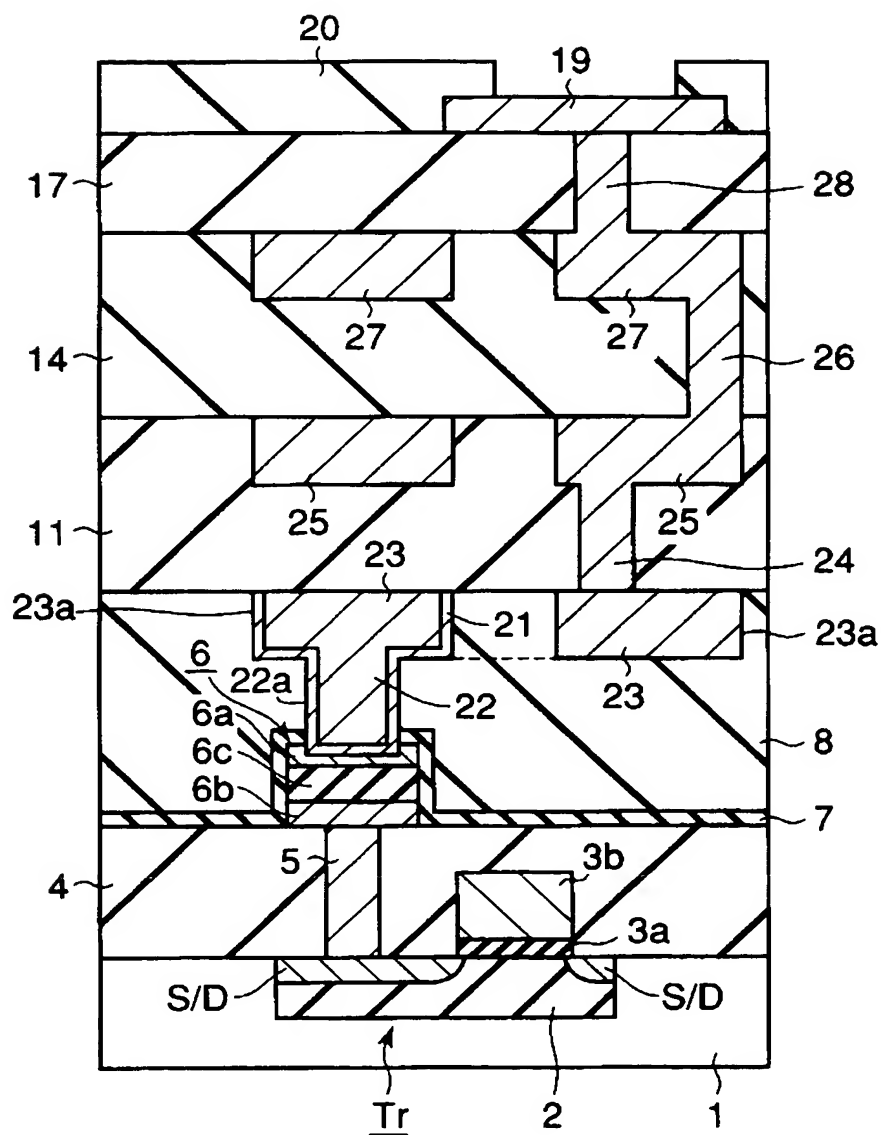
【図 5】



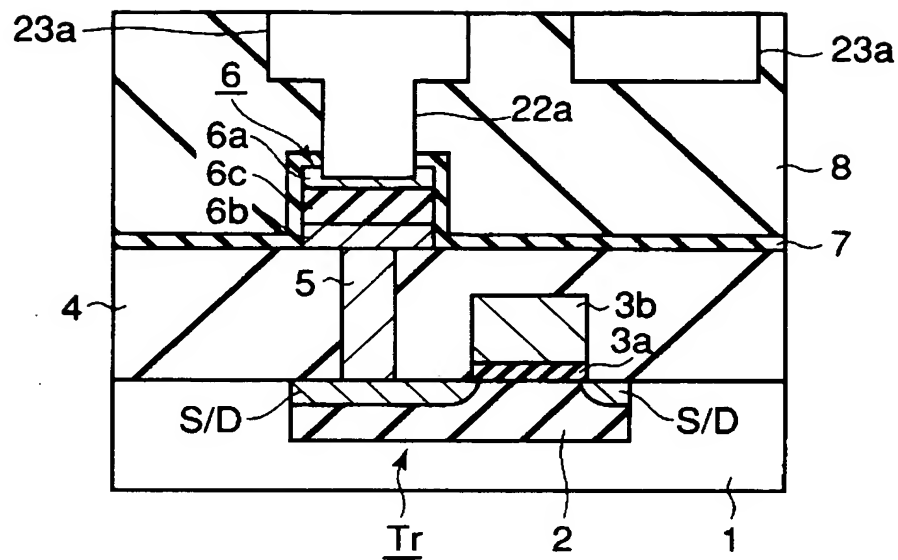
【図 6】



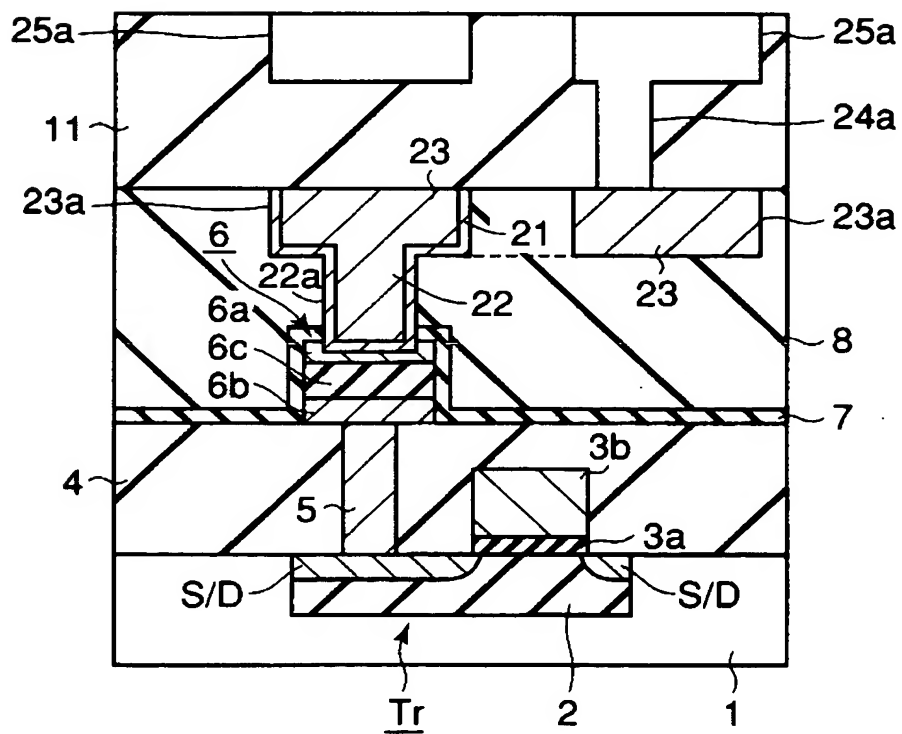
【図 7】



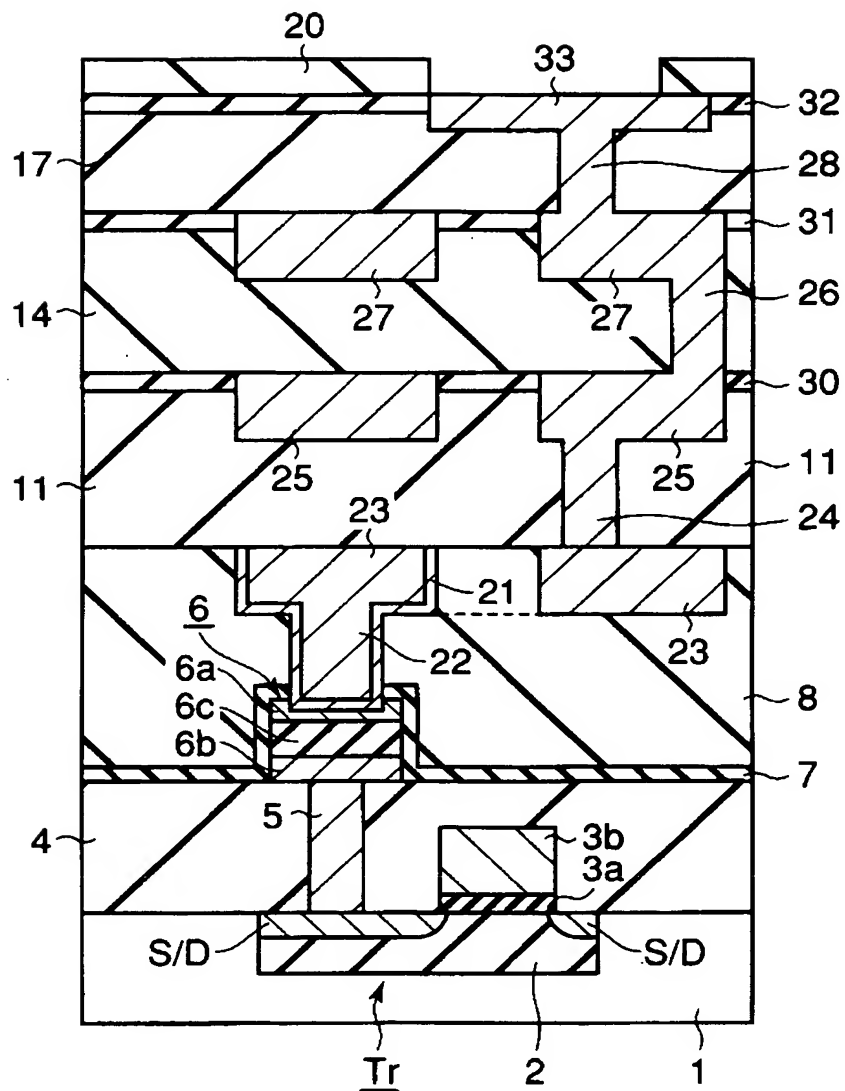
【図 8】



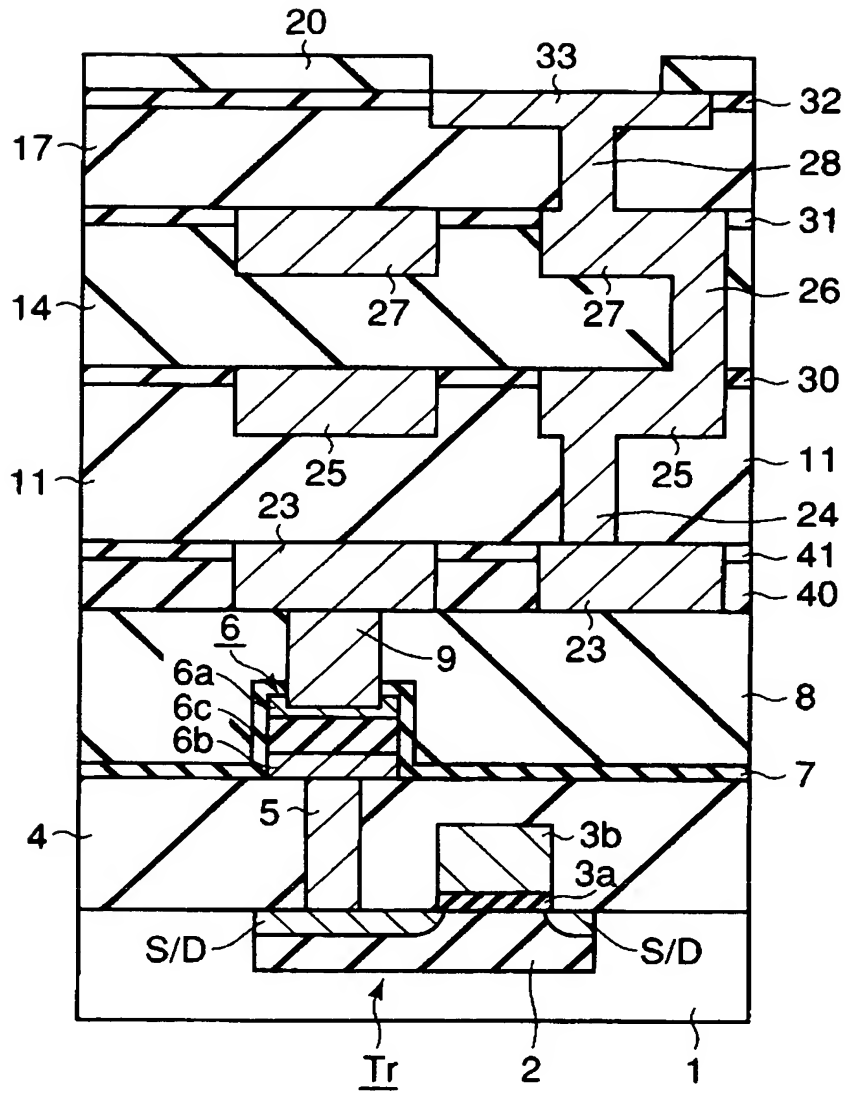
【图9】



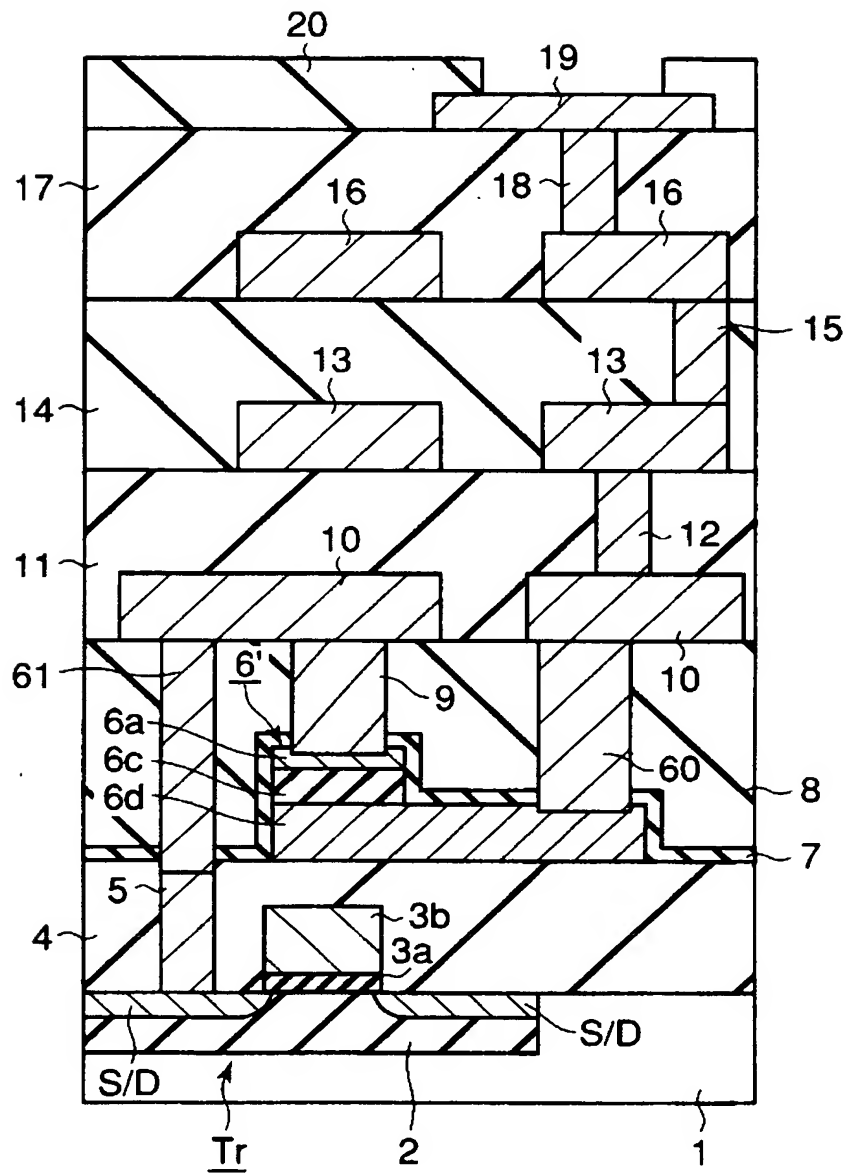
【图 10】



【図 11】



【図 13】



【書類名】 要約書

【要約】

【課題】 F e R A M に用いられる強誘電体キャパシタへの多層製造工程によるダメージを低減し、かつ層間絶縁膜の膜剥がれを防止する。

【解決手段】 強誘電体キャパシタ 6 の表面に保護膜 7 を形成する。上記保護膜 7 の上に誘電率 4 以上からなる P - S i O ₂ 層間絶縁膜 8 を形成し、この P - S i O ₂ 層間絶縁膜 8 に第 1 層の A l 配線 1 0 を形成する。さらに、A l 配線 1 0 の上に誘電率 4 未満からなる l o w - k 層間絶縁膜 1 1 を形成し、この l o w - k 層間絶縁膜 1 1 に第 2 層の A l 配線 1 3 を形成する。同様に、l o w - k 層間絶縁膜 1 4 , 1 7 を形成して F e R A M を構成する。

【選択図】 図 1

特願 2 0 0 3 - 1 4 4 8 6 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝